

PAT-NO: JP411074514A

DOCUMENT-IDENTIFIER: JP 11074514 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 16, 1999

INVENTOR-INFORMATION:

NAME

NUMAZAWA, SUMUTO

NAKAZAWA, YOSHITO

KOBAYASHI, MASAYOSHI

KUDO, SATOSHI

IMAI, YASUO

KUBO, SAKAE

SHIGEMATSU, TAKU

OONISHI, SHIYOUKOU

UESAWA, KOUZOU

OISHI, KENTARO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI MICROCOMPUT SYST LTD

N/A

APPL-NO: JP09232425

APPL-DATE: August 28, 1997

INT-CL (IPC): H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the reliability of a semiconductor device having a MISFET of trench gate structure.

SOLUTION: A method for manufacturing a semiconductor having a MISFET of trench gate structure is composed of a process for forming holes 4 from the major surface of a first conductive semiconductor layer 1B which is a drain area in the direction of its depth, a process for forming a gate insulating film 5 composed of a thermal-oxidized film 5A and a deposited film 5B on the inner surface of each of the holes 4, a process for forming a gate electrode 6A in each of the holes 4 and a process for forming a second conductive semiconductor area 8 as an area for forming channel by introducing impurities in the first conductive semiconductor layer 1B and forming a first conductive semiconductor area 9 as a source area by introducing impurities in the second conductive semiconductor area 8.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74514

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁵
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

6 5 2 K
6 5 3 A

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21) 出願番号 特願平9-232425
(22) 出願日 平成9年(1997) 8月28日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(72) 発明者 沼沢 澄人
東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内
(74) 代理人 弁理士 秋田 収喜

最終頁に続く

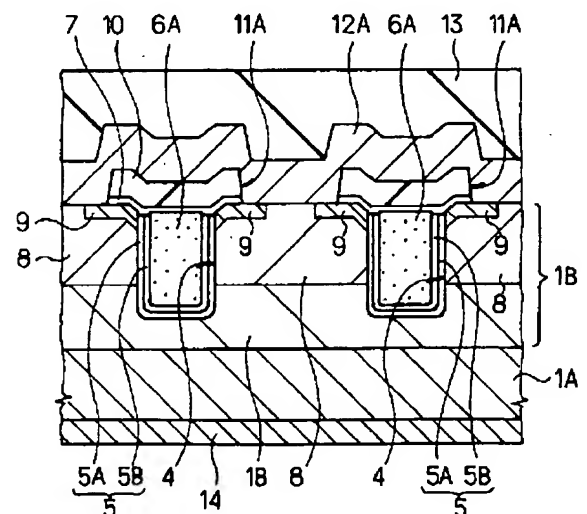
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチゲート構造のMISFETを有する半導体装置の信頼性が低下する。

【解決手段】 トレンチゲート構造のMISFETを有する半導体装置の製造方法であって、ドレイン領域である第1導電型半導体層1Bの主面からその深さ方向に向かって溝4を形成し、前記溝4の内面に熱酸化膜5Aと堆積膜5Bからなるゲート絶縁膜5を形成し、かつ前記溝4内にゲート電極6Aを形成した後、前記第1導電型半導体層1Bに不純物を導入してチャネル形成領域である第2導電型半導体領域8を形成すると共に、前記第2導電型半導体領域8に不純物を導入してソース領域である第1導電型半導体領域9を形成する。

図 2



【特許請求の範囲】

【請求項1】 トレンチゲート構造のトランジスタ素子を有する半導体装置の製造方法であって、

半導体層の主面からその深さ方向に向って溝を形成し、前記溝の内面に熱酸化膜と堆積膜からなるゲート絶縁膜を形成し、かつ前記溝内にゲート電極を形成した後、前記半導体層に不純物を導入して半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項2】 トレンチゲート構造のMISFETを有する半導体装置の製造方法であって、

半導体層の主面からその深さ方向に向って溝を形成し、前記溝の内面に熱酸化膜と堆積膜からなるゲート絶縁膜を形成し、かつ前記溝内にゲート電極を形成した後、前記半導体層に不純物を導入してチャネル形成領域である第1導電型半導体領域を形成すると共に、前記第1導電型半導体領域に不純物を導入してソース領域である第2導電型半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項3】 トレンチゲート構造のMISFETを有する半導体装置の製造方法であって、

ドレイン領域である第1導電型半導体層の主面からその深さ方向に向って溝を形成し、前記溝の内面に熱酸化膜と堆積膜からなるゲート絶縁膜を形成し、かつ前記溝内にゲート電極を形成した後、前記第1導電型半導体層に不純物を導入してチャネル形成領域である第2導電型半導体領域を形成すると共に、前記第2導電型半導体領域に不純物を導入してソース領域である第1導電型半導体領域を形成することを特徴とする半導体装置の製造方法。

【請求項4】 前記熱酸化膜の形成は酸素ガス雰囲気中又は水蒸気雰囲気中で行い、前記堆積膜の形成は化学気相成長法で行うことを特徴とする請求項1乃至請求項3のうちいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記堆積膜は、酸化珪素膜又は窒化珪素膜若しくは酸窒化膜であることを特徴とする請求項1乃至請求項4のうちいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記溝を形成する工程の後であって、前記ゲート絶縁膜を形成する工程の前に、前記溝の内面に犠牲熱酸化膜を形成し、その後、前記犠牲熱酸化膜を除去する工程を具備することを特徴とする請求項1乃至請求項3のうちいずれか1項に記載の半導体装置の製造方法。

【請求項7】 前記犠牲熱酸化膜の形成は、1000

【℃】以上の酸素ガス雰囲気中又は窒素ガスで希釈した酸素ガス雰囲気中にて行うことを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関

し、特に、トレンチゲート構造のトランジスタ素子を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電力増幅回路、電源回路等のスイッチング素子としてパワートランジスタ（半導体装置）が使用されている。この種のパワートランジスタは、複数のトランジスタ素子の夫々を電氣的に並列に接続した構成になっている。トランジスタ素子は、例えばトレンチゲート構造のMISFET(Metal Insulator Semiconductor Field Effect Transistor)で構成されている。以下、トレンチゲート構造のMISFETを有するパワートランジスタの製造方法について説明する。

【0003】まず、単結晶珪素からなるn型半導体基板の主面上にエピタキシャル成長法でn型半導体層を形成する。このn型半導体基板及びn型半導体層はドレイン領域として使用される。次に、前記n型半導体層の主面の全面にp型不純物をイオン打込み法で導入し、チャネル形成領域として使用されるp型半導体領域を形成する。次に、前記p型半導体領域の主面にイオン打込み法でn型不純物を選択的に導入し、ソース領域であるn型半導体領域を形成する。

【0004】次に、前記n型半導体層の主面上に例えば酸化珪素膜を形成した後、前記酸化珪素膜にパターンニングを施し、前記n型半導体層の溝形成領域上に開口部を有するマスクを形成する。次に、前記マスクをエッチングマスクとして使用し、前記n型半導体層の主面からその深さ方向に向って溝を形成する。溝の形成は、異方性ドライエッチング法で行う。

【0005】次に、ウェットエッチング処理を施し、前記マスクを前記溝の上縁部（溝の側面とn型半導体層の主面とが交わる部分）から後退させる。次に、等方性ドライエッチング処理を施し、前記溝の上縁部及び底面縁部（溝の側面とその底面とが交わる部分）をなだらかな形状にする。次に、前記マスクを除去する。

【0006】次に、熱酸化処理を施し、前記溝の内面に犠牲熱酸化膜を形成した後、前記犠牲熱酸化膜を除去する。この犠牲熱酸化膜の形成及び除去は、溝を形成する時に生じた欠陥、歪み、汚染等を除去する目的で行なわれる。

【0007】次に、熱酸化処理を施し、前記溝の内面に熱酸化膜からなるゲート絶縁膜を形成する。次に、前記溝内を含むn型半導体層の主面上の全面に多結晶珪素膜を化学気相成長(Chemical Vapor Deposition)法で形成する。この多結晶珪素膜には抵抗値を低減する不純物がその堆積中又は堆積後に導入される。

【0008】次に、エッチバック処理を施し、前記多結晶珪素膜の表面を平坦化する。次に、前記多結晶珪素膜にエッチング処理を選択的に施し、前記溝内にゲート電極を形成すると共に、前記n型半導体層の主面の周辺領

域上に前記ゲート電極と一体化されたゲート引出用電極を形成する。この工程により、n-型半導体層の溝内にゲート絶縁膜を介在してゲート電極を形成したトレンチゲート構造のMISFETが形成される。

【0009】次に、前記ゲート電極上を含むn-型半導体層の主面上の全面に層間絶縁膜を形成し、その後、前記層間絶縁膜に接続孔を形成し、その後、ソース配線及びゲート配線を形成し、その後、最終保護膜を形成し、その後、前記最終保護膜にボンディング開口を形成し、その後、前記n-型半導体基板の裏面にドレイン電極を形成することにより、トレンチゲート構造のMISFETを有するパワートランジスタがほぼ完成する。

【0010】このように構成されたトレンチゲート構造のMISFETは、半導体層の主面上にゲート絶縁膜を介在してゲート電極を形成したMISFETに比べて占有面積を縮小できるので、パワートランジスタの小型化及び低オン抵抗化を図ることができる。

【0011】なお、トレンチゲート構造のMISFETを有するパワートランジスタについては、例えば特開平7-263692号公報に記載されている。

【0012】

【発明が解決しようとする課題】本発明者等は、前述のパワートランジスタ(半導体装置)について検討した結果、以下の問題点を見出した。

【0013】前記パワートランジスタは、ドレイン領域であるn-型半導体層にチャネル形成領域であるp型半導体領域を形成し、前記p型半導体領域にソース領域であるn+型半導体領域を形成し、前記n-型半導体層に溝を形成した後、熱酸化処理を施して前記溝の内面にゲート絶縁膜である熱酸化膜を形成している。このため、前記p型半導体領域の不純物(例えば硼素(B))や前記n+型半導体領域の不純物(例えば砒素(As))が熱酸化膜中に取り込まれ、ゲート絶縁膜の絶縁耐圧が劣化し易くなるので、パワートランジスタの信頼性が低下する。

【0014】また、溝の側面におけるp型半導体領域の不純物が熱酸化膜中に取り込まれ、溝の側面におけるチャネル形成領域の不純物濃度にバラツキが生じるので、MISFETのしきい値電圧(V_{th})が変動し、FET特性を安定に再現性良く提供することが出来ない。

【0015】また、熱酸化膜を形成する時の熱処理温度によってソース領域であるn+型半導体領域の不純物が増速拡散してMISFETの実効チャネル長が短縮され、パンチスルー耐圧が低下する。そこで、950[°C]程度の低温の熱処理温度で熱酸化膜を形成すれば、ソース領域であるn+型半導体領域の不純物の増速拡散を抑制でき、MISFETのパンチスルー耐圧を確保できる。しかしながら、低温の熱処理温度で熱酸化膜を形成した場合、熱酸化膜の成長時に生じる圧縮応力によって溝の上縁部が角張った形状に変形し、この上縁部における熱酸化膜の膜厚が局所的に薄くなるので、MISFETのゲ

ート耐圧が低下する。そこで、1100[°C]程度の高温の熱処理温度で熱酸化膜を形成すれば、溝の上縁部における変形を抑制でき、MISFETのゲート耐圧を確保できるが、1100[°C]程度の高温の熱処理温度で熱酸化膜を形成した場合、前述のように、ソース領域であるn+型半導体領域の不純物が増速拡散し、MISFETのパンチスルー耐圧が低下する。即ち、MISFETのパンチスルー耐圧及びゲート耐圧を確保することができないので、パワートランジスタの信頼性が低下する。

【0016】本発明の目的は、半導体装置の信頼性を高め、かつ安定で再現性の良いFET特性を得ることが可能な技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0019】トレンチゲート構造のMISFETを有する半導体装置の製造方法であって、ドレイン領域である第1導電型半導体層の主面からその深さ方向に向って溝を形成し、前記溝の内面に熱酸化膜と堆積膜からなるゲート絶縁膜を形成し、かつ前記溝内にゲート電極を形成した後、前記第1導電型半導体層に不純物を導入してチャネル形成領域である第2導電型半導体領域を形成すると共に、前記第2導電型半導体領域に不純物を導入してソース領域である第1導電型半導体領域を形成する。前記熱酸化膜の形成は酸素ガス雰囲気中又は水蒸気雰囲気中で行い、前記堆積膜の形成は化学気相成長法で行う。前記堆積膜は、酸化珪素膜又は窒化珪素膜若しくは酸窒化膜で形成する。

【0020】上述した手段によれば、ゲート絶縁膜である熱酸化膜を形成した後に、チャネル形成領域である第2導電型半導体領域及びソース領域である第1導電型半導体領域を形成するので、第2導電型半導体領域の不純物や第1導電型半導体領域の不純物が熱酸化膜中に取り込まれることはなく、不純物の取り込みによるゲート絶縁膜の絶縁耐圧の劣化を抑制できる。この結果、半導体装置の信頼性を高めることができる。

【0021】また、ゲート絶縁膜である熱酸化膜を形成した後に、チャネル形成領域である第2半導体領域を形成するので、溝の側面における第2導電型半導体領域の不純物が熱酸化膜中に取り込まれることはなく、チャネル形成領域の不純物濃度のバラツキによるMISFETのしきい値電圧(V_{th})の変動を抑制できる。この結果、安定なFET特性を再現性良く得ることができる。

【0022】また、ゲート絶縁膜である熱酸化膜を形成した後に、ソース領域である第1導電型半導体領域を形成するので、1100[°C]程度の高温の熱酸化処理温

5

度で熱酸化膜の形成を行っても、第1導電型半導体領域の不純物が増速拡散することなく、実効チャネル長の縮小を抑制でき、MISFETのパンチスルー耐圧を確保できる。また、950[°C]程度の低温の熱酸化処理温度で熱酸化膜の形成を行い、熱酸化膜の成長時に生じる圧縮応力によって溝の上縁部(溝の側面と第1導電型半導体層の主面とが交わる部分)が角張った形状に変形し、この上縁部における熱酸化膜の膜厚が局所的に薄くなっても、その部分を堆積膜で補うことができるので、MISFETのゲート耐圧を確保できる。この結果、半導体装置の信頼性を高めることができる。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0024】(実施形態1)図1は、本発明の実施形態1であるパワートランジスタ(半導体装置)の要部平面図であり、図2は、図1に示すA-A線の位置で切った断面図であり、図3は、図1に示すB-B線の位置で切った断面図である。なお、図1において、図を見易くするため、後述するソース配線12A、ゲート配線12B、最終保護膜13等は図示を省略している。また、図2及び図3において、図を見易くするため、断面を表わすハッチング(斜線)は一部省略している。

【0025】本実施形態のパワートランジスタは、図1及び図2に示すように、例えば、単結晶珪素からなるn型半導体基板1Aの主面上にn型半導体層1Bが形成された半導体基体を主体とする構成になっている。n型半導体層1Bは、例えばエピタキシャル成長法で形成され、単結晶珪素で構成されている。

【0026】前記半導体基体には複数個のトランジスタ素子が形成され、この複数個のトランジスタ素子の夫々は電気的に並列に接続されている。本実施形態のトランジスタ素子はMISFETで構成されている。

【0027】前記MISFETは、主に、チャネル形成領域、ゲート絶縁膜5、ゲート電極6A、ソース領域及びドレイン領域で構成されている。チャネル形成領域は、n型半導体層1Bに形成されたp型半導体領域8で構成されている。ソース領域は、p型半導体領域8に形成されたn型半導体領域9で構成されている。ドレイン領域は、n型半導体基板1A及びn型半導体層1Bで構成されている。ゲート絶縁膜5は、n型半導体層1Bの主面からその深さ方向に向かって形成された溝4の内面に形成されている。ゲート電極6Aは、溝4内にゲート絶縁膜5を介して埋め込まれた導電膜で構成されている。導電膜としては、例えば抵抗値を低減する不純物が導入された多結晶珪素膜で形成されている。即ち、MISFETは、n型半導体層1Bの主面からその深さ方向に向ってソース領域、チャネル形成領域、ドレイン領域

6

の夫々を順次配列した縦型構造で構成され、更に、n型半導体層1Bに形成された溝4内にゲート絶縁膜5、ゲート電極6Aの夫々を形成したトレンチゲート構造で構成されている。また、MISFETは、溝4の側面におけるp型半導体領域8をチャネル形成領域とするnチャネル導電型で構成されている。

【0028】前記MISFETのゲート絶縁膜5は、これに限定されないが、例えば、溝4の内面から熱酸化膜5A、堆積膜5Bの夫々を順次配列した多層膜で構成されている。熱酸化膜5Aは例えば20[nm]程度の膜厚で形成され、堆積膜5Bは例えば50[nm]程度の膜厚で形成されている。熱酸化膜5Aは、n型半導体層1Bに溝4を形成した後、例えば、酸素ガス雰囲気又は水蒸気雰囲気において950[°C]程度の熱処理を施すことによって形成される。堆積膜5Bは、例えば化学気相成長(Cheical Vapor Deposition)法で堆積した酸化珪素膜で形成されている。この酸化珪素膜は、例えば800[°C]程度の温度雰囲気中にて、シラン(SiH₄)を酸素(O₂)と反応させることによって形成される。

【0029】前記n型半導体層1Bの主面の素子形成領域は溝4によって複数の島領域に区分されている。この複数の島領域の夫々は行列状に規則的に配置され、その平面形状は扁平八角形で形成されている。即ち、溝4は、n型半導体層1Bの主面の素子形成領域を複数の島領域に区分し、これらの島領域の平面形状が扁平八角形となるパターンで形成されている。なお、MISFETのソース領域であるn型半導体領域9は、溝4によって区分されたn型半導体層1Bの島領域の主面に形成されている。

【0030】前記溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)及びその底面縁部(溝4の側面とその底面とが交わる部分)は、なだらかな形状になっている。この溝4の上縁部及び底面縁部の形状は、n型半導体層1Bに溝4を形成した後、塩素ガスと酸素ガスの混合ガスを用いたケミカルドライエッチングを施すことによって形成される。

【0031】前記n型半導体領域9、p型半導体領域8の夫々には、層間絶縁膜10に形成された接続孔11Aを通してソース配線12Aが電気的に接続されている。層間絶縁膜10は、ゲート電極6Aとソース配線12Aとの間に設けられ、ゲート電極6Aとソース配線12Aとを絶縁分離している。ソース配線12Aは、例えばアルミニウム(Al)膜又はアルミニウム合金膜で形成されている。なお、ゲート電極6Aと層間絶縁膜10の間には絶縁膜7が設けられている。

【0032】前記ゲート電極6Aは、図1及び図3に示すように、n型半導体層1の主面の周辺領域に引き出され、その主面上に形成されたゲート引出用電極6Bと一体化されている。ゲート引出用電極6Bには、層間絶縁

膜10に形成された接続孔11Bを通してゲート配線12Bが電氣的に接続されている。ゲート配線12Bはソース配線12Aと同一の層に形成され、互いに電氣的に分離されている。

【0033】前記ソース配線12A上及びゲート配線12B上を含むn-型半導体層1Bの主面上の全面には、図2及び図3に示すように、最終保護膜13が形成されている。この最終保護膜13は、例えば、ソースガスの主体としてテトラエトキシシラン(TEOS)ガスを使用するプラズマ化学気相成長(Plasma Chemical Vapor Deposition)法によって堆積された酸化珪素膜で形成されている。なお、最終保護膜13には、ソース配線12Aの表面の一部を露出するボンディング開口が形成され、更に、ゲート配線12Bの表面の一部を露出するボンディング開口が形成されている。

【0034】前記n型半導体基板1の裏面にはドレイン電極14が形成されている。

【0035】次に、前記パワートランジスタの製造方法について、図4乃至図14(製造方法を説明するための要部断面図)を用いて説明する。なお、図8乃至図14において、図を見易くするため、断面を表わすハッチング(斜線)は、一部省略している。

【0036】まず、単結晶珪素からなるn型半導体基板1Aを用意する。n型半導体基板1は 2×10^{19} [atom s/cm³]程度の不純物濃度に設定されている。不純物としては、例えば砒素(As)が導入されている。

【0037】次に、図4に示すように、前記n型半導体基板1Aの主面上に、エピタキシャル成長法でn型半導体層1Bを形成する。n型半導体層1Bとしては、例えば、 0.4 [Ω cm]程度の比抵抗値及び 6 [μ m]程度の厚さで形成する。この工程により、n型半導体基板1A及びn型半導体基板1Bからなる半導体基体が形成される。

【0038】次に、前記n型半導体層1Bの主面上に 500 [nm]程度の膜厚の酸化珪素膜を形成する。この酸化珪素膜は、例えば熱酸化法で形成する。

【0039】次に、前記酸化珪素膜にパターンニングを施し、図5に示すように、前記n型半導体層1Bの溝形成領域上に開口部3を有するマスク2を形成する。このマスク2は、n型半導体層1Bの主面の素子形成領域において、開口部3で規定された領域の平面形状が扁平八角形となるパターンで形成する。

【0040】次に、前記マスク2をエッチングマスクとして使用し、図6に示すように、n型半導体層1Bの主面からその深さ方向に向って溝4を形成する。この溝4の形成は、例えば、塩素ガス又は臭化水素ガスを用い、RF(Radio Frequency)パワーを高く設定した異方性エッチング法で行う。溝4は、深さが $1.5 \sim 2$ [μ m]程度、幅が $0.5 \sim 2$ [μ m]程度となるように形成する。

【0041】次に、ウエットエッチング処理を施し、前記マスク2を前記溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)から 200 [nm]程度後退させる。

【0042】次に、塩素ガスと酸素ガスの混合ガスを用いたケミカルドライエッチング処理を施し、図7に示すように、前記溝4の上縁部及び底面縁部(溝4の側面とその底面とが交わる部分)をなだらかな形状にする。この工程により、上縁部及び底面縁部の形状がなだらかな溝4が得られる。その後、前記マスク2を除去する。

【0043】次に、熱酸化処理を施し、前記溝4の内面に 100 [nm]程度の膜厚の犠牲熱酸化膜を形成した後、前記犠牲熱酸化膜を除去する。この犠牲熱酸化膜の形成及び除去は、溝4を形成する時に生じた欠陥、歪み、汚染等を除去する目的として行なわれる。犠牲熱酸化膜の形成は、 1100 [$^{\circ}$ C]程度の高温の酸素ガス雰囲気中で行う。 950 [$^{\circ}$ C]程度の低温の熱酸化処理温度で犠牲熱酸化膜の形成を行った場合、犠牲熱酸化膜の成長時に生じる圧縮応力により、前段の工程でなだらかな形状に加工した溝4の上縁部が角張った形状に変形してしまうので、犠牲熱酸化膜の形成は 1000 [$^{\circ}$ C]以上の熱酸化処理温度で行う。なお、犠牲熱酸化膜の形成は、窒素ガスで希釈した酸素ガス雰囲気中で行ってもよい。

【0044】次に、熱酸化処理を施し、図8に示すように、溝4の内面に 20 [nm]程度の膜厚の熱酸化膜5Aを形成した後、図9に示すように、前記熱酸化膜5Aの表面上に 50 [nm]程度の膜厚の酸化珪素膜からなる堆積膜5Bを化学気相成長法で堆積してゲート絶縁膜5を形成する。熱酸化膜5Aの形成は 950 [$^{\circ}$ C]程度の低温の酸素ガス雰囲気中又は水蒸気雰囲気中で行う。堆積膜5Bの堆積は 800 [$^{\circ}$ C]程度の低温の温度雰囲気中で行う。このゲート絶縁膜5の形成工程において、 950 [$^{\circ}$ C]程度の低温の熱酸化処理温度で熱酸化膜5Aの形成を行っているため、熱酸化膜5Aの成長時に生じる圧縮応力により、前段の工程でなだらかな形状に加工した溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)が角張った形状に変形し、この上縁部における熱酸化膜5Aの膜厚が局所的に薄くなるが、その部分を堆積膜5Bで補っているため、ゲート絶縁膜5の絶縁耐圧は確保される。

【0045】次に、前記溝4内を含むn型半導体層1Bの主面上の全面に導電膜として例えば多結晶珪素膜を化学気相成長法で形成する。この多結晶珪素膜には抵抗値を低減する不純物(例えば磷(P))がその堆積中又は堆積後に導入される。多結晶珪素膜は、例えば 1 [μ m]程度の膜厚で形成する。

【0046】次に、前記多結晶珪素膜の表面を平坦化する。この平坦化は、例えばエッチバック法又は化学的機械研磨(CMP: Chemical Mechanical Polishing)法で行う。

【0047】次に、前記多結晶珪素膜にエッチング処理を選択的に施し、図10に示すように、前記溝4内にゲート電極6Aを形成すると共に、前記n型半導体層1Bの主面の周辺領域上にゲート電極6Aと一体化されたゲート引出用電極(図3に示す)6Bを形成する。

【0048】次に、前記n型半導体層1Bの主面上に残存する堆積膜5B、熱酸化膜5Aの夫々を除去した後、図11に示すように、前記ゲート電極6A上及びゲート引出用電極6B上を含むn型半導体層1Bの主面上の全面に例えば酸化珪素膜からなる絶縁膜7を形成する。この絶縁膜7の形成は熱酸化法又は化学気相成長法で行う。

【0049】次に、前記n型半導体層1Bの主面の全面にp型不純物(例えば硼素)をイオン打込み法で導入した後、引き伸ばし拡散処理を施し、図11に示すように、チャネル形成領域であるp型半導体領域8を形成する。引き伸ばし拡散処理は、1100[°C]程度の温度のN₂ガス雰囲気中にて約1時間程度行う。

【0050】次に、前記n型半導体層1Bの主面である前記p型半導体層8の主面にn型不純物(例えば砒素)をイオン打込み法で選択的に導入した後、950[°C]の温度で約20分程度のアニール処理を施し、図12に示すように、ソース領域であるn+型半導体領域9を形成する。n型不純物の導入は、最終的な導入量が 5×10^{15} [atoms/cm²]程度に設定され、導入時のエネルギー量が80 [KeV]に設定された条件下において行う。この工程により、n型半導体層1Bの溝4内にゲート絶縁膜5、ゲート電極6Aの夫々を形成したトレンチゲート構造のMISFETが形成される。

【0051】ここまでの工程において、チャネル形成領域であるp型半導体領域8及びソース領域であるn+型半導体領域9の形成は、ゲート絶縁膜5である熱酸化膜5Aを形成した後にを行っている。従って、熱酸化膜5Aの形成工程において、p型半導体領域8の不純物やn+型半導体領域9の不純物が熱酸化膜5A中に取り込まれることはなく、不純物の取り込みによるゲート絶縁膜5の絶縁耐圧の劣化を抑制できる。

【0052】また、チャネル形成領域であるp型半導体領域8の形成は、ゲート絶縁膜5である熱酸化膜5Aを形成した後にを行っている。従って、溝4の側面におけるp型半導体領域8の不純物が熱酸化膜5A中に取り込まれることはなく、チャネル形成領域の不純物濃度のバラツキによるMISFETのしきい値電圧(V_{th})の変動を抑制できる。

【0053】また、ソース領域であるn+型半導体領域9の形成は、ゲート絶縁膜5である熱酸化膜5Aを形成した後にを行っている。従って、1100[°C]程度の高温の熱酸化処理温度で熱酸化膜5Aの形成を行っても、n+型半導体領域9の不純物が増速拡散することなく、実効チャネル長の縮小を抑制でき、MISFETのパンチ

スルー耐圧を確保できる。また、950[°C]程度の低温の熱酸化処理温度で熱酸化膜5Aの形成を行い、熱酸化膜5Aの成長時に生じる圧縮応力によって溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)が角張った形状に変形し、この上縁部における熱酸化膜5Aの膜厚が局所的に薄くなっても、その部分を堆積膜5Bで補うことができるので、MISFETのゲート耐圧を確保できる。

【0054】次に、図13に示すように、前記n型半導体層1B上の全面に、例えば500[nm]程度の膜厚の層間絶縁膜10を形成する。層間絶縁膜10としては、例えばBPSG(Bron Phospho Silicate Glas s)膜で形成する。

【0055】次に、CHF₃ガスを用いた異方性ドライエッチング処理を施し、図14に示すように、前記層間絶縁膜10に接続孔11A及び接続孔(図3に示す)11Bを形成する。

【0056】次に、前記接続孔内を含むn型半導体層1Bの主面上の全面に例えばアルミニウム膜又はアルミニウム合金膜からなる導電膜を形成した後、前記導電膜にパターンニングを施し、p型半導体領域8、n+型半導体領域9の夫々に電氣的に接続されるソース配線12Aを形成すると共に、ゲート引出用電極6Bに電氣的に接続されるゲート配線12Bを形成する。

【0057】次に、前記ソース配線12A上及びゲート引出用電極6B上を含むn型半導体層1Bの主面上の全面に最終保護膜13を形成する。最終保護膜13としては、例えば、ソースガスの主体としてテトラエトキシシラン(TEOS)ガスを使用するプラズマ化学気相成長法によって堆積した酸化珪素膜で形成する。

【0058】次に、前記最終保護膜13に、ソース配線12Aの一部の表面を露出するボンディング開口及びゲート配線12Bの一部の表面を露出するボンディング開口を形成し、その後、前記n+型半導体基板1Aの裏面に研削処理を施し、その後、前記n+型半導体基板1の裏面にドレイン電極14を形成することにより、トレンチゲート構造のMISFETを有するパワートランジスタがほぼ完成する。

【0059】このように、本実施形態によれば、以下の効果が得られる。

【0060】トレンチゲート構造のMISFETを有する半導体装置の製造方法であって、ドレイン領域であるn型半導体層1Bの表面からその深さ方向に向って溝4を形成し、前記溝4の内面に熱酸化膜5Aと堆積膜5Bからなるゲート絶縁膜5を形成し、かつ前記溝4内にゲート電極6Aを形成した後、前記n型半導体層1Bに不純物を導入してチャネル形成領域であるp型半導体領域8を形成すると共に、前記p型半導体領域8に不純物を導入してソース領域であるn+型半導体領域9を形成する。

11

【0061】これにより、ゲート絶縁膜5である熱酸化膜5Aを形成した後に、チャネル形成領域であるp型半導体領域8及びソース領域であるn型半導体領域9を形成するので、p型半導体領域8の不純物やn型半導体領域9の不純物が熱酸化膜5A中に取り込まれることはなく、不純物の取り込みによるゲート絶縁膜5の絶縁耐圧の劣化を抑制できる。この結果、パワートランジスタ(半導体装置)の信頼性を高めることができる。

【0062】また、ゲート絶縁膜5である熱酸化膜5Aを形成した後に、チャネル形成領域であるp型半導体領域8を形成するので、溝4の側面におけるp型半導体領域8の不純物が熱酸化膜5A中に取り込まれることはなく、チャネル形成領域の不純物濃度のバラツキによるMISFETのしきい値電圧(V_{th})の変動を抑制できる。この結果、安定なFET特性を再現性良く得ることができる。

【0063】また、ゲート絶縁膜5である熱酸化膜5Aを形成した後に、ソース領域であるn型半導体領域9を形成するので、1100[°C]程度の高温の熱酸化処理温度で熱酸化膜5Aの形成を行っても、n型半導体領域9の不純物が増速拡散することはない、実効チャネル長の縮小を抑制でき、MISFETのパンチスルー耐圧を確保できる。また、950[°C]程度の低温の熱酸化処理温度で熱酸化膜5Aの形成を行い、熱酸化膜5Aの成長時に生じる圧縮応力によって溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)が角張った形状に変形し、この上縁部における熱酸化膜5Aの膜厚が局部的に薄くなっても、その部分を堆積膜5Bで補うことができるので、MISFETのゲート耐圧を確保できる。この結果、パワートランジスタ(半導体装置)の信頼性を高めることができる。

【0064】なお、本実施形態は、堆積膜5Bを酸化珪素膜で形成した例について説明したが、堆積膜5Bは窒化珪素膜又は酸窒化膜で形成してもよい。

【0065】(実施形態2)本実施形態では、溝の形成時にエッチングマスクとして使用されるマスクを酸化珪素膜/窒化珪素膜/酸化珪素膜の夫々からなる多層膜で形成した例について説明する。その理由は、前述の実施形態1のように、溝の形成時にエッチングマスクとして使用されるマスクを酸化珪素膜からなる単層膜で形成した場合、異方性エッチング時に生成された反応性の堆積物を除去するためにフッ酸系のエッチング液を使用する必要があり、この時、図6に示すマスク2の膜厚が薄過ぎると、エッチング後にマスク2が除去されてしまい、等方性エッチングで溝の上縁部をなだらかな形状にする加工ができなくなってしまう。

【0066】また、異方性エッチングの条件次第では、反応性の堆積物が溝の側面に厚く生成される結果、これを取り除くために、フッ酸系のエッチングを長時間に亘って行う必要が生じるので、溝の上縁部をなだらかな形

12

状に加工するための等方性エッチング時にマスクが無い状態になる可能性が十分にある。本実施形態ではフッ酸系のエッチング液で全くエッチングされない窒化珪素(Si_3N_4)膜を溝形成時のマスク材に使用することによって、溝を形成した後に十分なフッ酸系のエッチングが行なえ、結果として等方性エッチング時に窒化珪素膜の下層膜である酸化珪素膜を残すことができるので、溝の上縁部の形状をなだらかな形状に加工することができる。

【0067】以下、本発明の実施形態2であるパワートランジスタの製造方法について、図15乃至図26を用いて説明する。なお、図19乃至図26において、図を見易くするため、断面を表わすハッチング(斜線)は一部省略している。

【0068】まず、単結晶珪素からなるn型半導体基板1Aの主面上に、エピタキシャル成長法でn型半導体層1Bを形成する。n型半導体層1Bとしては、例えば、0.4[Ωcm]程度の比抵抗値及び6[μm]程度の厚さで形成する。この工程により、n型半導体基板1A及びn型半導体基板1Bからなる半導体基体が形成される。

【0069】次に、図15に示すように、前記n型半導体層1Bの主面上に、100[nm]程度の膜厚の酸化珪素膜2A、200[nm]程度の膜厚の窒化珪素膜2B、400[nm]程度の膜厚の酸化珪素膜2Cを順次形成する。酸化珪素膜2Aは熱酸化法で形成し、窒化珪素膜2B及び酸化珪素膜2Cは化学気相成長法で形成する。

【0070】次に、 CHF_3 等のガスを用いた異方性ドライエッチングで前記酸化珪素膜2C、窒化珪素膜2B、酸化珪素膜2Aの夫々に順次パターンニングを施し、図16に示すように、前記n型半導体層1Bの溝形成領域上に開口部3を有するマスク2を形成する。

【0071】次に、前記マスク2をエッチングマスクとして使用し、図17に示すように、n型半導体層1Bの主面からその深さ方向に向かって溝4を形成する。この溝4の形成は、例えば、塩素ガス又は臭化水素ガスを用い、RF(Radio Frequency)パワーを高く設定した異方性エッチング法で行う。溝4は、深さが1.5~2[μm]程度、幅が0.5~2[μm]程度となるように形成する。

【0072】次に、ウェットエッチング処理を施し、前記マスク2の酸化珪素膜2Aを前記溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)から500[nm]~1[μm]程度後退させる。この工程において、溝4の側面に生成された反応性の堆積物と酸化珪素膜2Cが全面除去され、窒化珪素膜2Bの表面が露出される。

【0073】次に、塩素ガスと酸素ガスの混合ガスを用いたケミカルドライエッチング処理を施し、図18に示

13

すように、前記溝4の上縁部及び底面縁部(溝4の側面とその底面とが交わる部分)をなだらかな形状にする。この工程により、上縁部及び底面縁部の形状がなだらかな溝4が形成される。

【0074】次に、熱酸化処理を施し、前記溝4の内面に100[nm]程度の膜厚の犠牲熱酸化膜を形成した後、前記犠牲熱酸化膜を除去する。犠牲熱酸化膜の形成は、1100[°C]程度の高温の酸素ガス雰囲気中で行う。950[°C]程度の低温の熱酸化処理温度で犠牲熱酸化膜の形成を行った場合、犠牲熱酸化膜の成長時に生じる圧縮応力により、前段の工程でなだらかな形状に加工した溝4の上縁部が角張った形状に変形してしまうので、犠牲熱酸化膜の形成は1000[°C]以上の熱酸化処理温度で行う。なお、犠牲熱酸化膜の形成は、窒素ガスで希釈した酸素ガス雰囲気中で行ってもよい。

【0075】次に、熱酸化処理を施し、図19に示すように、溝4の内面に20[nm]程度の膜厚の熱酸化膜5Aを形成した後、図20に示すように、前記熱酸化膜5Aの表面上に50[nm]程度の膜厚の酸化珪素膜からなる堆積膜5Bを化学気相成長法で堆積してゲート絶縁膜5を形成する。熱酸化膜5Aの形成は、950

[°C]程度の低温の酸素ガス雰囲気中又は水蒸気雰囲気中で行う。堆積膜5Bの堆積は800[°C]程度の低温の温度雰囲気中で行う。このゲート絶縁膜5の形成工程において、950[°C]程度の低温の熱酸化処理温度で熱酸化膜5Aの形成を行っているため、熱酸化膜5Aの成長時に生じる圧縮応力により、前段の工程でなだらかな形状に加工した溝4の上縁部(溝4の側面とn型半導体層1Bの主面とが交わる部分)が角張った形状に変形し、この上縁部における熱酸化膜5Aの膜厚が局所的に薄くなるが、その部分を堆積膜5Bで補っているため、ゲート絶縁膜5の絶縁耐圧は確保される。

【0076】次に、前記溝4内を含むn型半導体層1Bの主面上の全面に導電膜として例えば多結晶珪素膜を化学気相成長法で形成する。この多結晶珪素膜には抵抗値を低減する不純物(例えば燐)がその堆積中又は堆積後に導入される。多結晶珪素膜は、例えば1[μm]程度の膜厚で形成する。

【0077】次に、前記多結晶珪素膜の表面を平坦化する。この平坦化は、例えばエッチバック法又は化学的機械研磨法で行う。

【0078】次に、前記多結晶珪素膜にエッチング処理を選択的に施し、図21に示すように、前記溝4内にゲート電極6Aを形成すると共に、前記n型半導体層1Bの主面の周辺領域上にゲート電極6Aと一体化されたゲート引出用電極(図3に示す6B)を形成する。

【0079】次に、前記酸化珪素膜2B上に残存する堆積膜5Bを除去し、更に酸化珪素膜2Bを除去する。その後、図22に示すように、前記ゲート電極6A上及びゲート引出用電極上を含むn型半導体層1Bの主面上の

14

全面に例えば酸化珪素膜からなる絶縁膜7を形成する。この絶縁膜7の形成は熱酸化法又は化学気相成長法で行う。

【0080】次に、前記n型半導体層1Bの主面の全面にp型不純物(例えば硼素)をイオン打込み法で導入した後、引き伸ばし拡散処理を施し、図23に示すように、チャネル形成領域であるp型半導体領域8を形成する。引き伸ばし拡散処理は、1100[°C]の温度のN₂ガス雰囲気中にて約1時間程度行う。

【0081】次に、前記n型半導体層1Bの主面である前記p型半導体層8の主面にn型不純物(例えば砒素)をイオン打込み法で選択的に導入した後、950[°C]の温度で約20分程度のアニール処理を施し、図24に示すように、ソース領域であるn+型半導体領域9を形成する。n型不純物の導入は、最終的な導入量が 5×10^{15} [atoms/cm²]程度に設定され、導入時のエネルギー量が80[KeV]に設定された条件下において行う。この工程により、n型半導体層1Bの溝4内にゲート絶縁膜5、ゲート電極6Aの夫々を形成したトレンチゲート構造のMISFETが形成される。

【0082】次に、図24に示すように、前記n型半導体層1B上の全面に、例えば500[nm]程度の膜厚の層間絶縁膜10を形成する。層間絶縁膜10としては、例えばBPSG(Bron Phospho Silicate Glass)膜で形成する。

【0083】次に、CHF₃ガスを用いた異方性ドライエッチング処理を施し、図25に示すように、前記層間絶縁膜10に接続孔11A及び接続孔(図3に示す11B)を形成する。

【0084】次に、前記接続孔内を含むn型半導体層1Bの主面上の全面に例えばアルミニウム膜又はアルミニウム合金膜からなる導電膜を形成した後、前記導電膜にパターンニングを施し、p型半導体領域8、n+型半導体領域9の夫々に電気的に接続されるソース配線12Aを形成すると共に、ゲート引出用電極に電気的に接続されるゲート配線(図3に示す12B)を形成する。

【0085】次に、前記ソース配線12A上及びゲート引出用電極6B上を含むn型半導体層1Bの主面上の全面に最終保護膜13を形成する。最終保護膜13としては、例えば、ソースガスの主体としてテトラエトキシシラン(TEOS)ガスを使用するプラズマ化学気相成長法によって堆積した酸化珪素膜で形成する。

【0086】次に、前記最終保護膜13に、ソース配線12Aの一部の表面を露出するボンディング開口及びゲート配線12Bの一部の表面を露出するボンディング開口を形成し、その後、前記n+型半導体基板1Aの裏面に研削処理を施し、その後、図26に示すように、前記n+型半導体基板1の裏面にドレイン電極14を形成することにより、トレンチゲート構造のMISFETを有するパワートランジスタがほぼ完成する。

15

【0087】このように、本実施形態の製造方法は、前述の実施形態1と同様に、ドレイン領域であるn型半導体層1Bの主面からその深さ方向に向って溝4を形成し、前記溝4の内面に熱酸化膜5Aと堆積膜5Bからなるゲート絶縁膜5を形成し、かつ前記溝4内にゲート電極6Aを形成した後、前記n型半導体層1Bに不純物を導入してチャネル形成領域であるp型半導体領域8を形成すると共に、前記p型半導体領域8に不純物を導入してソース領域であるn+型半導体領域9を形成するので、前述の実施形態1と同様の効果が得られる。

【0088】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0089】例えば、本発明は、トレンチゲート構造のpチャネル導電型MISFETを有するパワートランジスタ(半導体装置)に適用できる。

【0090】また、本発明は、トレンチゲート構造のIGBT(Insulated Gate Bipolar Transistor)を有するパワートランジスタ(半導体装置)に適用できる。

【0091】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0092】トレンチゲート構造のトランジスタ素子を有する半導体装置の信頼性を高め、かつ安定で再現性の良いFET特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1であるパワートランジスタ(半導体装置)の要部平面図である。

【図2】図1に示すA-A線の位置で切った断面図である。

【図3】図1に示すB-B線の位置で切った断面図である。

【図4】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図5】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図6】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図7】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図8】前記パワートランジスタの製造方法を説明するための要部断面図である。

16

【図9】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図10】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図11】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図12】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図13】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図14】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図15】本発明の実施形態2であるパワートランジスタの製造方法を説明するための要部断面図である。

【図16】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図17】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図18】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図19】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図20】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図21】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図22】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図23】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図24】前記パワートランジスタの製造方法を説明するための要部断面図である。

【図25】前記パワートランジスタの製造方法を説明するための要部断面図である。

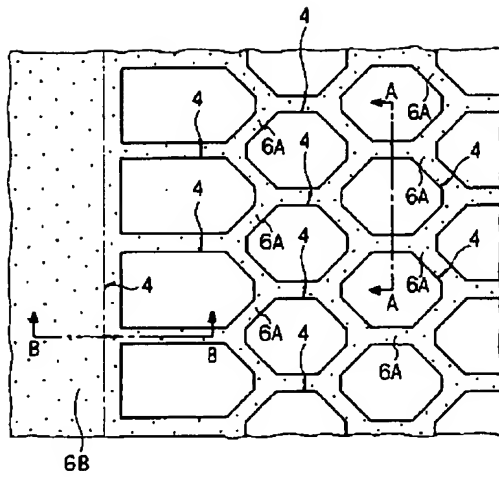
【図26】前記パワートランジスタの製造方法を説明するための要部断面図である。

【符号の説明】

1A…n+型半導体基板、1B…n型半導体層、2…マスク、3…開口、4…溝、5…ゲート絶縁膜、5A…熱酸化膜、5B…堆積膜、6A…ゲート電極、6B…ゲート引出用電極、7…絶縁膜、8…p型半導体領域、9…n+型半導体領域、10…絶縁膜、11…開口、12A…ソース配線、12B…ゲート配線、13…最終保護膜、14…ドレイン電極。

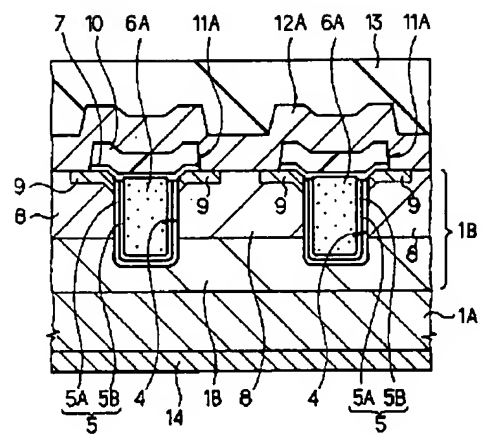
【図1】

図1



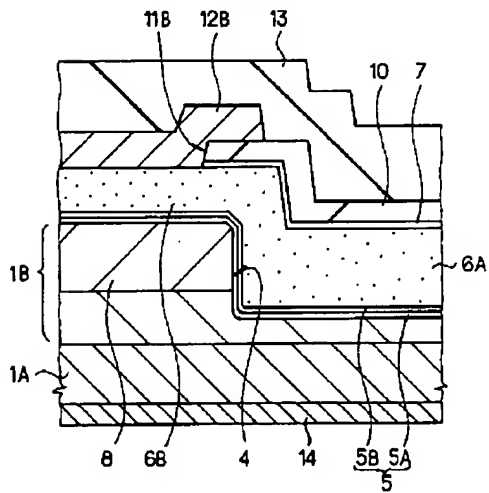
【図2】

図2



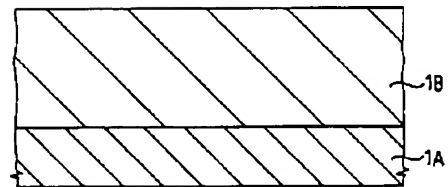
【図3】

図3



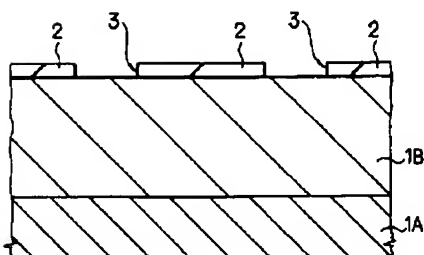
【図4】

図4



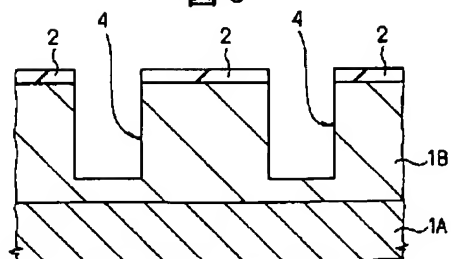
【図5】

図5



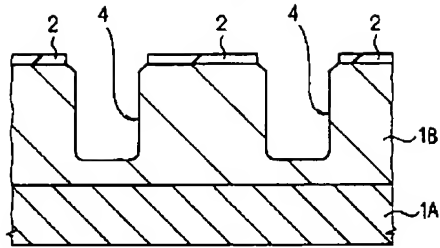
【図6】

図6



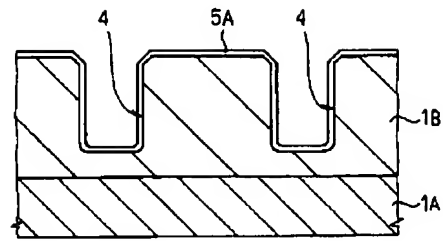
【図7】

図7



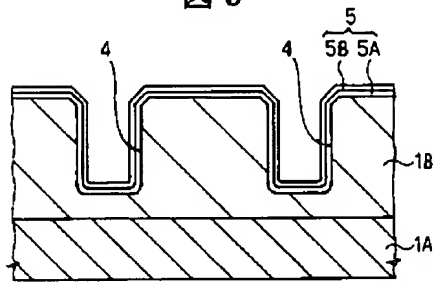
【図8】

図8



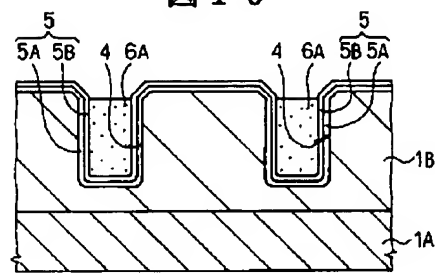
【図9】

図9



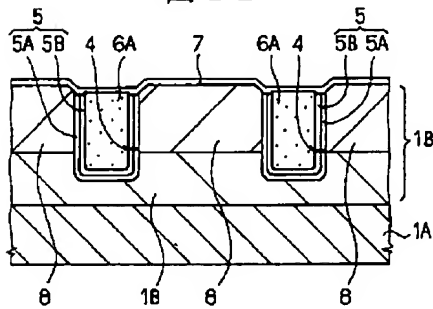
【図10】

図10



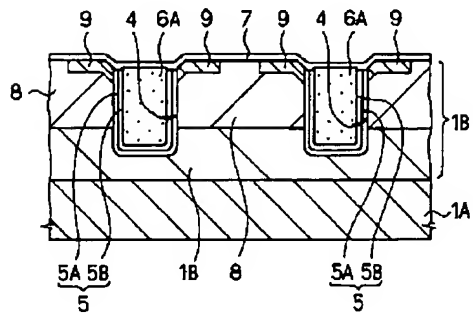
【図11】

図11



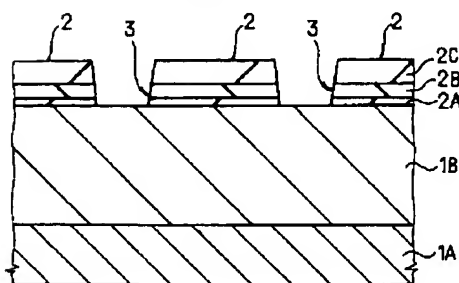
【図12】

図12



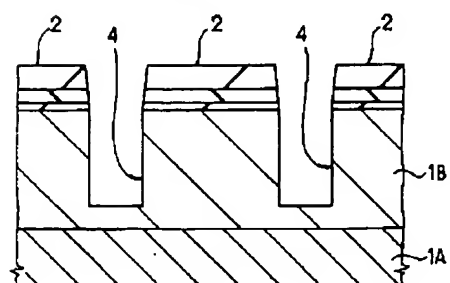
【図16】

図16



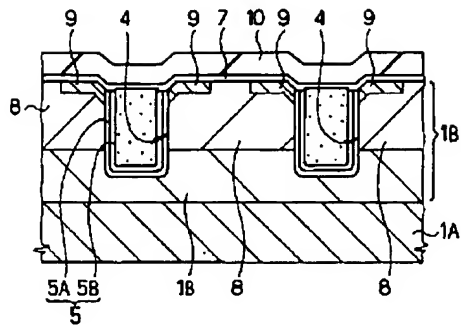
【図17】

図17



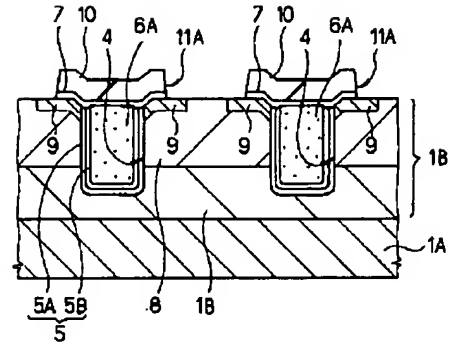
【図13】

図13



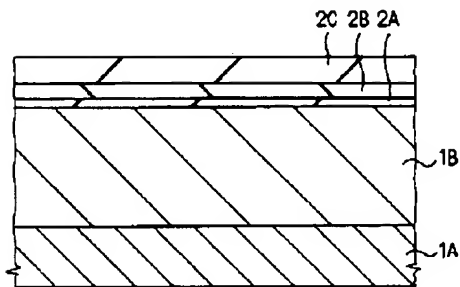
【図14】

図14



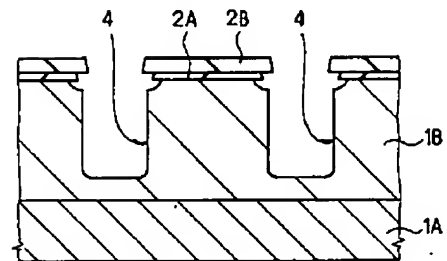
【図15】

図15



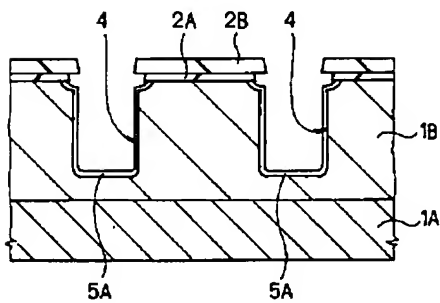
【図18】

図18



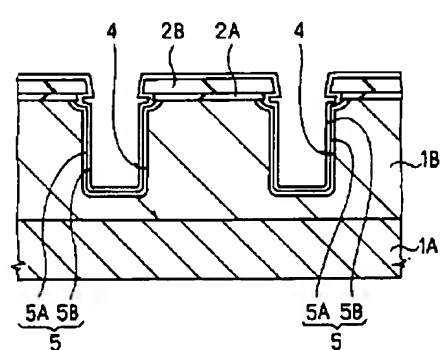
【図19】

図19



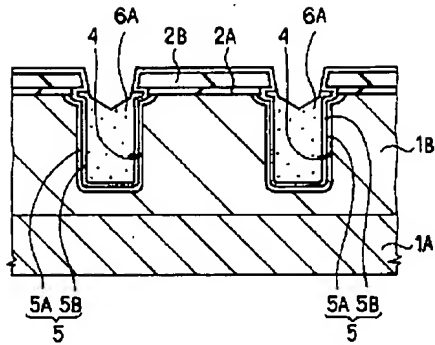
【図20】

図20



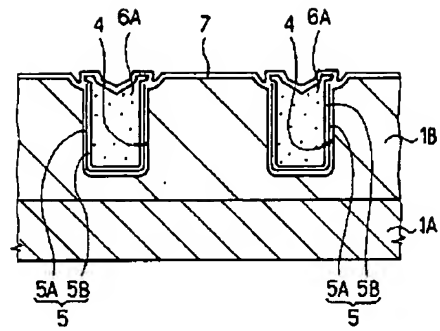
【図21】

図21



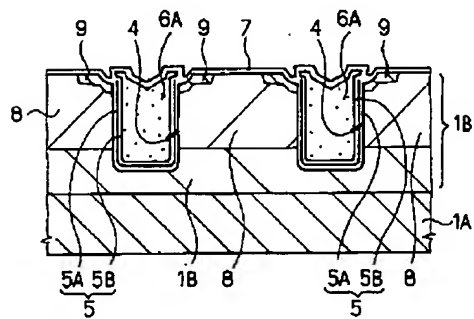
【図22】

図22



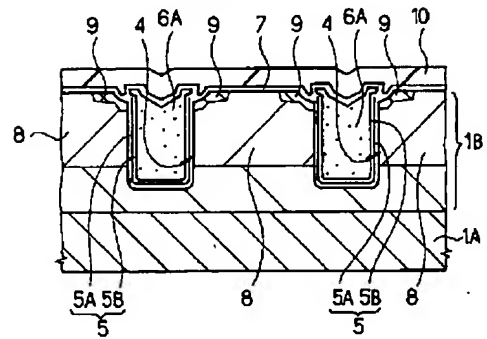
【図23】

図23



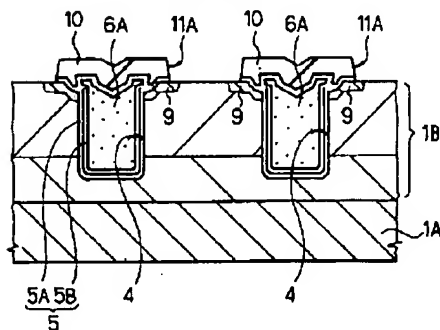
【図24】

図24



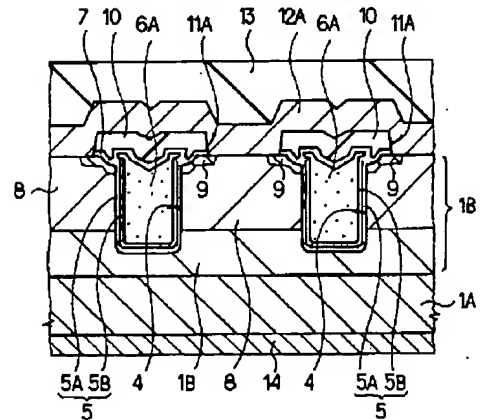
【図25】

図25



【図26】

図26



フロントページの続き

(72)発明者 中沢 芳人
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 小林 正義
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 工藤 聡
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 今井 保雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 久保 栄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 重松 卓
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 大西 紹弘
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 植澤 浩三
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 大石 健太郎
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内